

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-072968  
 (43)Date of publication of application : 12.03.2002

(51)Int.Cl. G09G 3/36  
 G02F 1/133  
 G09G 3/20  
 H04N 5/66

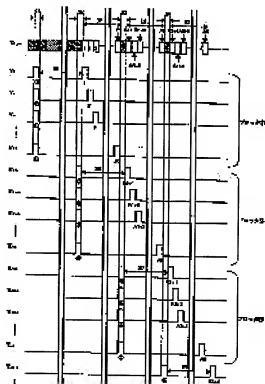
(21)Application number : 2000-253829 (71) ADVANCED DISPLAY INC  
 (22)Date of filing : 24.08.2000 (72)Inventor : MATSUMURA TATSUYA  
 SHIBATA SUSUMU

## (54) DISPLAY METHOD AND DISPLAY DEVICE

## (57) Abstract:

PROBLEM TO BE SOLVED: To provide a display method and device with reduced residual image.

SOLUTION: This display method is composed a picture data write operation by which all gate lines are divided into plural blocks, each gate line is selected for picture display, and a picture data signal corresponding to each gate line is supplied to a source line, and a non-picture data write operation by which all the gate lines of the above each block are selected at the same time and non-picture data signals are supplied to the source line, and in the signal processing of the above gate lines, the non-picture data write operation is selected immediately before the picture data write operation of the blocks, and in the signal processing of the source line, the picture data signals are accumulatively delayed by a non-picture signal insertion period at each block



14、16、20：画素トランジスタの制御  
 21、23、25、27、28：画素トランジスタの駆動回路  
 23、25、27、28：画素トランジスタの駆動回路の制御回路  
 図1は、本発明の表示装置の構成を示すブロック図である。

for one frame period or one field period.

(19) 日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-72968

(P2002-72968A)

(43) 公開日 平成14年3月12日 (2002.3.12)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テラコード <sup>7</sup> (参考)
G 0 9 G 3/36		G 0 9 G 3/36	2 H 0 9 3
G 0 2 F 1/133	5 5 0	G 0 2 F 1/133	5 5 0 5 C 0 0 6
G 0 9 G 3/20	6 2 2	G 0 9 G 3/20	6 2 2 P 5 C 0 5 8
	6 2 3		6 2 3 U 5 C 0 8 0
	6 6 0		6 6 0 V

審査請求 未請求 請求項の数5 O L (全 21 頁) 最終頁に続く

(21) 出願番号 特願2000-253829 (P2000-253829)

(22) 出願日 平成12年8月24日 (2000.8.24)

(71) 出願人 595059056

株式会社アドバンスト・ディスプレイ

熊本県菊池郡西合志町御代志997番地

(72) 発明者 松村 達也

熊本県菊池郡西合志町御代志997番地 株

式会社アドバンスト・ディスプレイ内

(72) 発明者 柴田 晋

熊本県菊池郡西合志町御代志997番地 株

式会社アドバンスト・ディスプレイ内

(74) 代理人 100073759

弁理士 大岩 増雄

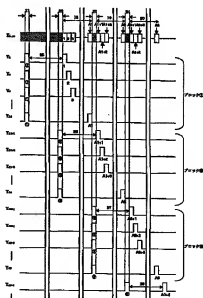
最終頁に続く

## (54) 【発明の名称】 表示方法および表示装置

## (57) 【要約】

【課題】 残像の低減を図った表示方法および装置を提供する。

【解決手段】 全ゲートラインを複数のブロックに分割し、画像表示のために各ゲートラインを選択して各ゲートラインに対応した画像データ信号をソースラインに供給する画像データ書き込み動作と、上記各ブロック毎の全ゲートラインを同時に選択して非画像データ信号をソースラインに供給する非画像データ書き込み動作とを行うものであり、上記ゲートラインの信号処理では、前ブロックの画像データ書き込み動作の直前において非画像データ書き込み動作を選択し、ソースラインの信号処理では、1フレーム期間、または1フィールド期間中にブロック毎に非画像データ信号挿入期間分だけ画像データ信号を累積遅延させる。



10、19、20：画像データ書き込み期間  
21、22、23、24：非画像データ書き込み期間  
25、26、27、28：非画像データ書き込み期間の以下段から  
画像データ書き込み期間の間隔分までを後述する

## 【特許請求の範囲】

【請求項1】 複数のゲートラインと、複数のソースラインと、上記両ラインの交点に対応してマトリクス状に配置された画素セルとからなる表示画面を有する液晶表示装置における表示方法において、全ゲートラインを複数のブロックに分割し、画像表示のために各ゲートラインを順次選択すると共に各ゲートラインに対応した画像データ信号をソースラインに供給する画像データ書き込み動作と、上記各ブロック毎の全ゲートラインを同時に選択すると共に非画像データ信号をソースラインに供給する非画像データ書き込み動作とを行うものであり、上記ゲートラインの信号処理では、上記画像データ書き込み動作以前に任意の位置において上記非画像データ書き込み動作を選択し、ソースラインの信号処理では、1フレーム期間、または1フィールド期間中にブロック毎に非画像データ信号期間分だけ画像データ信号を累積遅延させるようにしたことを特徴とする表示方法。

【請求項2】 複数のゲートラインと、複数のソースラインと、上記両ラインの交点に対応してマトリクス状に配置された画素セルとからなる表示画面を有する液晶表示装置における表示方法において、全ゲートラインを複数のブロックに分割し、画像表示のために各ゲートラインを順次選択すると共に各ゲートラインに対応した画像データ信号をソースラインに供給する画像データ書き込み動作と、上記各ブロック毎の全ゲートラインを同時に選択すると共に非画像データ信号をソースラインに供給する非画像データ書き込み動作とを行うものであり、上記ゲートラインの信号処理では、前ブロックの画像データ書き込み動作直前に上記非画像データ書き込み動作を選択し、ソースラインの信号処理では、1フレーム期間、または1フィールド期間中にブロック毎に非画像データ信号期間分だけ画像データ信号を累積遅延させるようにしたことを特徴とする表示方法。

【請求項3】 複数のゲートラインと、複数のソースラインと、上記両ラインの交点に対応してマトリクス状に配置された画素セルとからなる表示画面を有する液晶表示装置における表示方法において、全ゲートラインを複数のブロックに分割し、画像表示のために各ゲートラインを順次選択すると共に各ゲートラインに対応した画像データ信号をソースラインに供給する画像データ書き込み動作と、上記各ブロック毎の全ゲートラインを同時に選択すると共に非画像データ信号をソースラインに供給する非画像データ書き込み動作とを行うものであり、上記ゲートラインの信号処理では、上記画像データ書き込み動作以前に任意の位置において上記非画像データ書き込み動作を選択し、ソースラインの信号処理では、複数フレーム期間、または複数フィールド期間中にブロック毎に非画像データ信号期間分だけ画像データ信号を累積遅延させるようにしたことを特徴とする表示方法。

【請求項4】 複数のブロックに分割された複数のゲ

ートラインと、複数のソースラインと、上記両ラインの交点に対応してマトリクス状に配置された画素セルとからなる表示画面を有する表示装置において、複数の出力端子から1フレーム、または1フィールド期間中に上記画素セル中のスイッチング素子をON状態にする電圧を、上記ブロック単位で出力するゲートライン用駆動回路を備えたことを特徴とする表示装置。

【請求項5】 複数のブロックに分割された複数のゲートラインと、複数のソースラインと、上記両ラインの交点に対応してマトリクス状に配置された画素セルとからなる表示画面を有する表示装置において、複数の出力端子から1フレーム、または1フィールド期間中に上記画素セル中のスイッチング素子に必要な画像データ電圧を、1水平周期分、1水平周期の倍数分、またはある一定期間分だけ累積遅延して出力するソースライン用駆動回路を備えたことを特徴とする表示装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】この発明は、液晶による表示方法および表示装置に関するものである。

## 【0002】

【従来の技術】図11は、液晶による表示装置の構成図で、図において、1は液晶パネル等の表示画面、2は走査駆動回路等のゲートライン用駆動回路、3は信号線駆動回路等のソースライン用駆動回路、4はゲートライン用駆動回路2およびソースライン用駆動回路3の入力信号を生成するための制御回路、5は回路系の基準電圧を生成するための電源部である。

【0003】表示装置の電気回路構成において、外部からの入力信号（制御回路4における入力信号）には、クロック入力信号、画像データ入力信号、データラインレベル入力信号、その他の制御用入力信号（例えば水平同期入力信号、垂直同期入力信号等）が存在する。ここで、データラインレベル入力信号とは、時間軸に対して画像データ入力信号における有効データ期間を示し、通常、有効データ期間ではHの電圧レベルを、有効データ期間以外ではLの電圧レベルを表している。

【0004】図12は、水平同期期に制御回路4に入力される信号の電圧波形図で、図において、横軸は経過時間を表し、6は水平同期入力信号電圧、7はデータラインレベル入力信号電圧、8はクロック入力信号電圧、9は画像データ入力信号電圧、10は画像データ入力信号における有効データ期間であり、1CLKはクロック入力信号の周期である。1Hは水平同期入力信号の周期で、クロック入力信号のエッジの矢印はクロック入力信号のアクティブエッジ（図では立ち下がりエッジ）を表している。画像データ入力信号の空白部は有効データ期間を、画像データ入力信号の斜線部は無効データ期間を表し、mは水平方向の画面サイズ（解像度）を表す。ここでは、水平同期入力信号において、Lの電圧レベルはリ

セット期間、つまり有効データ期間が存在しないものとする。

【0005】図13は、垂直周期毎に制御回路4に入力される信号の電圧波形図で、図において、横軸は経過時間を表し、11は垂直同期入力信号電圧、1Hは水平同期入力信号の周期、1Vは垂直同期入力信号の周期（フレーム周期、またはフィールド周期）である。画像データ入力信号の空白部は有効データ期間を、画像データ入力信号の斜線部は無効データ期間を表し、nは垂直方向の画面サイズ（解像度）を表す。ここでは、垂直同期入力信号において1の電圧レベルはリセット期間、つまり有効データ期間が存在しないものとする。

【0006】また、制御回路4における出力信号としては、表示画面1を駆動する信号を生成するドライバICや駆動回路、つまりゲートライン用駆動回路2およびソースライン用駆動回路3の入力信号として使用するために、クロック信号とクロック信号以外のデータ信号が生成される。ここで、クロック信号とはゲートライン用駆動回路2とソースライン用駆動回路3のそれぞれで使用するクロック信号（ゲートライン用駆動回路2では垂直クロック出力信号、ソースライン用駆動回路3では水平クロック出力信号）を意味し、クロック信号以外のデータ信号とは画像データ信号（水平画像データ出力信号）および画像データ信号以外の制御信号（例えば、水平スタート出力信号、垂直スタート出力信号、水平ラッチ出力信号、水平駆動電圧極性制御出力信号等）を意味する。

【0007】図14は、表示画面1の構成図で、図において、12はソースライン用駆動回路3から生成された信号を伝送するためのソースライン、13はゲートライン用駆動回路2から生成された信号を伝送するためのゲートライン、14は液晶等の表示材料、15はスイッチング素子、16はキャパシタ素子であり、14乃至16で画素セルを構成している。

【0008】図15は、垂直周期毎に表示画面1に入力されるソースライン12とゲートライン13との電圧波形図（タイミングチャート）で、図において、X1〜mの1、2、3、...、mは1H期間を表し、各1H期間は図12の10期間の画像データを含む。Y1、Y2、Y3、... はゲートライン13の各ラインに印加されるゲートパルスを表し、17は垂直有効データ期間、17期間中に記載している数字である1、2、3、...、A3、A3+1、... はゲートライン番号と対応する。X1〜mの各数字で表す1Hは、Y1、Y2、Y3、...、YA3、YA3+1、... の数字で表すパルスと同期している。ここで、ゲートライン番号は図13の1からnまでにあたる。また、この発明の実施の形態である図1や図2と比較できるように、図15では図1や図2と同様にブロック毎に分割してタイミングチャートを表した。

【0009】図14、図15におけるゲートラインY1、Y2、Y3、...、YA3+1、... は、1フレーム周期、または1フィールド周期において、画像データ信号を表示画面中の画素セルに書き込むために順次立ち上げて、書き込み有効期間である17

（図ではH状態）を設ける。17中において、ゲートラインがH状態の時に、スイッチング素子15がN状態になり、キャパシタ素子16に画像データ信号に相当する電荷が充電される。ゲートラインがL状態の時に、スイッチング素子15がOFF状態になり、キャパシタ素子16に充電された電荷に対応して表示材料14が応答し、表示画面1に画像を表示する。最初ラインから最終ラインまでの全てのゲートラインを立ち上げて、画像データ信号を画素セルに書き込むことにより1フレーム周期が終了する。

【0010】

【発明が解決しようとする課題】通常、表示画面1に使用する液晶等、画素セルの表示材料14の応答特性における応答開始から応答完了までに要する時間は1フレーム期間、または1フィールド期間よりも大きいために、特に画像の変化が激しい動画では前の応答が完了しないうちに次の応答に移行するので、結果的に残像が発生するという問題がある。

【0011】この発明では、上記のような問題を解決し、残像の低減という目的を実現する表示方法および装置を提供することを目的とする。

【0012】

【課題を解決するための手段】この発明に係る表示方法は、複数のゲートラインと、複数のソースラインと、上記両ラインの交点に対応してマトリクス状に配置された画素セルとからなる表示画面を有する液晶表示装置における表示方法において、全ゲートラインを複数のブロックに分割し、画像表示のために各ゲートラインを順次選択すると共に各ゲートラインに対応した画像データ信号をソースラインに供給する画像データ書き込み動作と、上記各ブロック毎の全ゲートラインを同時に選択すると共に非画像データ信号をソースラインに供給する非画像データ書き込み動作とを行うものであり、上記ゲートラインの信号処理では、上記画像データ書き込み動作以前に任意の位置において上記非画像データ書き込み動作を選択し、ソースラインの信号処理では、1フレーム期間、または1フィールド期間中にブロック毎に非画像データ信号期間だけ画像データ信号を累積遅延させるようにしたものである。

【0013】また、複数のゲートラインと、複数のソースラインと、上記両ラインの交点に対応してマトリクス状に配置された画素セルとからなる表示画面を有する液晶表示装置における表示方法において、全ゲートラインを複数のブロックに分割し、画像表示のために各ゲートラインを順次選択すると共に各ゲートラインに対応した

画像データ信号をソースラインに供給する画像データ書き込み動作と、上記各ブロック毎の全ゲートラインを同時に選択すると共に非画像データ信号をソースラインに供給する非画像データ書き込み動作とを行うものであり、上記ゲートラインの信号処理では、前ブロックの画像データ書き込み動作直前に上記非画像データ書き込み動作を選択し、ソースラインの信号処理では、1フレーム期間、または1フィールド期間中にブロック毎に非画像データ信号期間分だけ画像データ信号を累積遅延させるようにしたものである。

【0014】また、複数のゲートラインと、複数のソースラインと、上記両ラインの交点に対応してマトリクス状に配置された画素セルとからなる表示画面を有する液晶表示装置における表示方法において、全ゲートラインを複数のブロックに分割し、画像表示のために各ゲートラインを順次選択すると共に各ゲートラインに対応した画像データ信号をソースラインに供給する画像データ書き込み動作と、上記各ブロック毎の全ゲートラインを同時に選択すると共に非画像データ信号をソースラインに供給する非画像データ書き込み動作とを行うものであり、上記ゲートラインの信号処理では、上記画像データ書き込み動作以前に任意の位置において上記非画像データ書き込み動作を選択し、ソースラインの信号処理では、複数フレーム期間、または複数フィールド期間中にブロック毎に非画像データ信号期間分だけ画像データ信号を累積遅延させるようにしたものである。

【0015】この発明に係る表示装置は、複数のブロックに分割された複数のゲートラインと、複数のソースラインと、上記両ラインの交点に対応してマトリクス状に配置された画素セルとからなる表示画面を有する表示装置において、複数の出力端子から1フレーム、または1フィールド期間中に上記画素セル上のスイッチング素子をON状態にする電圧を、上記ブロック単位で出力するゲートライン用駆動回路を備えたものである。

【0016】また、複数のブロックに分割された複数のゲートラインと、複数のソースラインと、上記両ラインの交点に対応してマトリクス状に配置された画素セルとからなる表示画面を有する表示装置において、複数の出力端子から1フレーム、または1フィールド期間中に上記画素セル中のスイッチング素子に必要な画像データ電圧を、1水平周期分、1水平周期の倍数分、またはある一定期間分だけ累積遅延して出力するソースライン用駆動回路を備えたものである。

【0017】

【発明の実施の形態】実施の形態1. 図1はこの発明の実施の形態1に係る表示装置中の表示画面に入力されるソースライン、ゲートラインの電圧波形図(タイミングチャート)であり、図において、横軸は経過時間を表し、18、19、20は画像データ書き込み期間、21、22、23、24は所定の値を示す非画像データ書

き込み期間、25、26、27、28はあるブロックにおける非画像データ書き込み期間の完了時から画像データ書き込み期間の開始時までを表す時間、21と25の和、22と26の和、23と27の和、24と28の和はそれぞれ画素セルをなす表示材料を初期化するのに要する時間、A1、A2、A3はブロック分割した時の1、2、3ブロック目の最終ラインを表す任意の値である。ここで、非画像データ書き込み期間21乃至24での電圧値は、表示材料14が最も高速に応答する、つまり表示材料14の状態を所定の状態に初期化するのに最短時間になるような黒表示データなどの高いレベルの電圧値や、黒表示データより高いレベルの電圧値を適用することが有効である。また、非画像データ書き込み期間21乃至24での期間は画像データ信号の変換周期にあたる1水平周期、または、1水平周期以上を適用することが有効である。

【0018】図1におけるゲートラインY1~YA1、YA1+1~YA2、YA2+1~YA3、...は、1フレーム期間、または1フィールド期間中において、各ブロック毎に、つまり、ブロック①、ブロック②、ブロック③、...毎に、画像データ信号を表示画面中の画素セルに書き込むために順次立ち上げて、書き込み有効期間である18、19、20(図1ではH状態)を提供する。この時、各ブロック間において、前ブロックでの最初のゲートラインの画像データ書き込み開始位置より前に、1ブロック分同時に、所定の非画像データ信号を画素セルに書き込むために各ブロック毎に立ち上げて、書き込み有効期間である21乃至24(図2ではH状態)を設ける。この時のソースラインX1~Xmは、各ブロックにおける非画像データ信号の書き込み有効期間である21乃至24を得るために記憶機能・遅延機能を設け、各ブロックにおける非画像データ信号を選択する毎に21乃至24期間分を遅延させる。

【0019】つまり、各ゲートラインは、1フレーム期間、または1フィールド期間中において、異なる種類のデータ信号(画像データ信号と非画像データ信号)を2回供給することになる。1回目の選択により所定の非画像データ信号である21、22、23をブロック毎に供給し、表示材料14を初期化状態にする。それから1ブロック後にあたる22、23、24の後に2回目の選択により画像データ信号である18、19、20を順次供給し、表示材料14を画像データ状態にする。この時の各ソースラインは、非画像データ信号の書き込み有効期間である21、22、23を得るために記憶機能・遅延機能を設けて21、22、23だけ遅延させる。この時の全ソースラインは、非画像データ信号を選択する毎に21、22、23を遅延させるための遅延開始位置はどこでも良い。例えば、1番目のゲートラインでの画像データ信号の書き込み有効期間の開始位置に対して、従来の場合とこの発明の場合が一致する場合には、ブロッ

ク②での画像データ信号の書き込み有効期間の開始位置から非画像データ信号の書き込み有効期間を遅延させ、それに続けてブロック③での画像データ信号の書き込み有効期間の開始位置から非画像データ信号の書き込み有効期間を遅延させる処理を行い、結果的にブロック毎に累積遅延させることになる。

【0020】このことにより、図1では、画像データ信号以前に所定の非画像データ信号を表示材料14に加えることにより、表示材料14の初期状態を一定にし、前フレーム期間分、または前フィールド期間分の表示状態依存性をなくすることが可能となり、画像の変化が激しい動画において残像を低減することが可能となる。

【0021】本実施の形態1によれば、画像データ信号以前に所定の非画像データ信号を表示材料に加えることにより、表示材料の初期状態を一定にし、前フレーム期間分、または前フィールド期間分の表示状態依存性をなくすることが可能となり、残像の低減という効果が得られる。

【0022】また、図1において各ブロック毎の非画像データ信号の書き込み有効期間の位置が任意である場合や複数フレーム期間、または複数フィールド期間中にブロック毎に非画像データ信号を選択した期間分だけ画像データ信号を累積遅延させるような記憶機能・遅延機能をもつ場合も、画像データ信号以前に所定の非画像データ信号を表示材料に加えることにより、表示材料の初期状態を一定にし、前フレーム期間分、または前フィールド期間分の表示状態依存性をなくすることが可能となるために、残像の低減という効果が得られる。

【0023】実施の形態2 図2はこの発明の実施の形態2に係る表示装置中のゲートライン用駆動回路に入力、出力される電圧波形図（タイミングチャート）であり、図において、横軸は経過時間を表し、BLK1、BLK2、BLK3、... は駆動回路に入力される各ブロック毎にON状態を制御する信号、Y1、Y2、Y3、... は駆動回路から出力されるゲートライン用信号、29、30、31は各ブロック毎にON状態を得るための期間（図中のH）である。ここで、BLK1、BLK2、BLK3、... は図とは逆極性にしても動作は同様である。図では入力から出力までの遅延時間は省略する。図中のY1、Y2、Y3、... の斜線部はBLK1、BLK2、BLK3、... に依存しない動作を意味する。

【0024】図2における入力信号であるBLK1、BLK2、BLK3、... は、29、30、31で各々に対応した各ブロック毎に、つまり、ブロック①、ブロック②、ブロック③、... 毎に、出力であるY1~YA1、YA1+1~YA2、YA2+1~YA3、... をH状態（ON状態）にする。

【0025】図3は図2の機能を実現するためのゲートライン用駆動回路の一部である回路構成例であり、従来

の動作を有するデジタル回路構成部の後段に図3を接続して図2の機能を得ることが可能となる。図において、BLK1、BLK2、BLK3、... は各ブロック毎にON状態を制御する入力信号、Y11~YA11、YA11+1~YA12、YA12+1~YA13、... はゲートライン用入力信号、Y01~Y0A1、Y0A1+1~Y0A2、Y0A2+1~Y0A3、... はゲートライン用出力信号である。この回路動作として、BLK1、BLK2、BLK3、... を入力としたOR回路により各ブロック毎にH状態（ON状態）を選択できる。

【0026】図4は本実施の形態2に係る表示装置中のゲートライン用駆動回路に入力、出力される電圧波形図（タイミングチャート）であり、図において、横軸は経過時間を表し、CLKは駆動回路に入力される垂直クロック信号、CTL1は駆動回路に入力される垂直スタート信号、CTL2は駆動回路に入力されるOFF状態を制御する信号、BLK1、BLK2、BLK3、... は駆動回路に入力され各ブロック毎にON状態を制御する信号、Y1、Y2、Y3、... は駆動回路から出力されるゲートライン用信号、18、19、20は各ブロックにおける最初のゲートラインから最後のゲートラインまでの順次シフト動作を行う期間、21、22、23、24は各ブロック毎にON状態を得るための期間、25、26、27は各ブロック毎に所定の値に初期化してから最初のゲートラインに画像データ信号を書き込み開始までの期間である。ここで、BLK1、BLK2、BLK3、... は図とは逆極性にしても動作は同様である。また、図では入力から出力までの遅延時間は省略している。

【0027】図4において、まず、ブロック①に関して、BLK1の21によりブロック①に所定の値（非画像データ信号）を書き込み、初期化して、25中で初期化を完了し、26中に最初のゲートラインから順次に画像データ信号を書き込む。次に、ブロック②に関して、26が開始する位置の直前であるBLK2の22によりブロック②に所定の値を書き込み、初期化して、26中で初期化を完了し、27中に最初のゲートラインから順次に画像データ信号を書き込む。以下のブロックは前記と同様である。また、各ブロックの最終のゲートラインにあたるYA1、YA2、... では、23、24の位置においてCLKのエッジによる順次シフト動作によりH状態になることを防ぐためにCTL2の23、24により強制的にL状態にする。

【0028】このことにより、図4では、画像データ信号以前に所定の非画像データ信号を表示材料に加えることにより、表示材料の初期状態を一定にし、前フレーム期間分、または前フィールド期間分の表示状態依存性をなくすることが可能となり、画像の変化が激しい動画において残像を低減することが可能となる。

【0029】本実施の形態2によれば、複数の出力端子から1フレーム、または1フィールド期間中に表示画面中のスウィッチング素子をON状態にする電圧を出力する時にブロック単位での選択機能を有するゲートライン用駆動回路を使用することにより、残像が低減し、高品質な表示装置が得られる。

【0030】実施の形態3、図5はこの発明の実施の形態3に係る表示装置中のゲートライン用駆動回路に入力、出力される電圧波形図（タイミングチャート）であり、図において、横軸は経過時間を表し、CLKは駆動回路に入力される垂直クロック信号、BLK1、BLK2、BLK3、...は駆動回路に入力される各ブロック毎にON状態を制御する信号、Y1、Y2、Y3、...は駆動回路から出力されるゲートライン用信号、2、9、30、31は各ブロック毎にON状態を得るための期間（図中のH）である。ここで、BLK1、BLK2、BLK3、...は図とは逆極性にしても動作は同様である。図では入力から出力までの遅延時間は省略している。図中のY1、Y2、Y3、...の斜線部はBLK1、BLK2、BLK3、...に依存しない動作を意味する。

【0031】図5における入力信号であるBLK1、BLK2、BLK3、...は、2、9、30、31で各々に対応した各ブロック毎に、つまり、ブロック①、ブロック②、ブロック③、...毎に、出力であるY1～YA1、YA1+1～YA2、YA2+1～YA3、...をH状態（ON状態）にする。図5と図2との異なる点は、図2ではON状態を制御する信号BLK1、BLK2、BLK3、...により垂直クロック信号に非同期して出力が行われるのに対し、図5ではON状態を制御する信号により垂直クロック信号に同期して出力が行われることである。基本的には、図5の動作内容は図2と同様である。

【0032】図3は図5の機能を実現するためのゲートライン用駆動回路の一部である回路構成例であり、図において、従来の動作を有するデジタル回路構成部の後段に図6を接続して図5の機能を得ることが可能である。BLK1、BLK2、BLK3、...は各ブロック毎にON状態を制御する入力信号、Y11～YIA1、YIA1+1～YIA2、YIA2+1～YIA3、...はゲートライン用入力信号、YO1～YOA1、YOA1+1～YOA2、YOA2+1～YOA3、...はゲートライン用出力信号である。この回路動作として、BLK1、BLK2、BLK3、...を入力としたOR回路により各ブロック毎にH状態（ON状態）を選択できるようにする。また、本実施の形態3では、BLK1、BLK2、BLK3、...は垂直クロック信号に同期処理を行ったものを使用し、この点が実施の形態2とは異なる。

【0033】図7は本実施の形態3に係る表示装置中の

ゲートライン用駆動回路に入力、出力される電圧波形図（タイミングチャート）であり、図において、横軸は経過時間を表し、CLKは駆動回路に入力される垂直クロック信号、CTL1は駆動回路に入力される垂直スタート信号、CTL2は駆動回路に入力されるOFF状態を制御する信号、BLK1、BLK2、BLK3、...は駆動回路に入力される各ブロック毎にON状態を制御する信号、Y1、Y2、Y3、...は駆動回路から出力されるゲートライン用信号、18、19、20は各ブロックにおける最初のゲートラインから最後のゲートラインまでの順次シフト動作を行う期間、21、22、23、24は各ブロック毎にON状態を得るための期間、25、26、27は各ブロック毎に所定の値に初期化してから最初のゲートラインに画像データ信号を書き込み開始するまでの期間である。ここで、BLK1、BLK2、BLK3、...は図とは逆極性にしても動作は同様である。また、図では入力から出力までの遅延時間は省略する。

【0034】図6は図7の機能の実現を容易にするためのゲートライン用駆動回路の一部である回路構成例であり、図において、従来の順次シフト動作を有するデジタル回路構成部を図6に置きかえることで図7の機能を得ることが可能となり、CLKは駆動回路に入力される垂直クロック信号、CTL1は駆動回路に入力される垂直スタート信号、BLK1、BLK2、BLK3、...は各ブロック毎にON状態を制御する入力信号、YO1～YOA1、YOA1+1～YOA2、YOA2+1～YOA3、...はゲートライン用出力信号である。この回路動作として、BLK1、BLK2、BLK3、...を入力としたNOR回路によりCLKをマスクするための制御信号を得、生成された制御信号とCLKをAND回路によりマスキングすることで図4のCLKと同様のものを得ることができ、BLK1、BLK2、BLK3、...がH状態でクロック同期している期間中では順次シフト動作はしないようになる。

【0035】図7において、まず、ブロック①に関して、21によりブロック①に所定の値を書き込み、初期化して、25中で初期化を完了し、26中に最初のゲートラインから順次に画像データ信号を書き込む。次に、ブロック②に関して、26が開始する位置の直前の22によりブロック②に所定の値を書き込み、初期化して、26中で初期化を完了し、27中に最初のゲートラインから順次に画像データ信号を書き込む。以下のブロックは前記と同様である。また、各ブロックの最終のゲートラインにあたるYA1、YA2、...では、23、24の位置においてCLKのエッジによる順次シフト動作によりH状態になることを防ぐためにCTL2の23、24により強制的にL状態にする。図7では、図4の場合とは異なり、23、24中でもCLKのクロックがあるためにBLK1、BLK2、BLK3、...がH状



態でクロック同期している23、24中では順次シフト動作はない。

【0036】このことにより、図7では、画像データ信号以前に所定の非画像データ信号を表示材料に加えることにより、表示材料の初期状態を一一定し、前フレーム期間分、または前フィールド期間分の表示状態依存性をなくすることが可能となり、画像の変化が激しい動画において残像を低減することが可能となる。

【0037】本実施の形態3によれば、複数の出力端子から1フレーム、または1フィールド期間中に表示画面中のスイッチング素子をON状態にする電圧を出力する時にブロック単位での選択機能を有するゲートライン用駆動回路を使用することにより、残像が低減し、高品質な表示装置が得られる。

【0038】実施の形態4. 図8はこの発明の実施の形態4に係る表示装置中のソースライン用駆動回路に入力、出力される電圧波形図(タイミングチャート)であり、図において、横軸は経過時間を表し、D1、D2、... は駆動回路に入力される画像データ信号、RSTは駆動回路に入力される画像データの遅延量を初期化(リセット)することを制御する信号、DLYは駆動回路に入力され画像データ信号の遅延量を制御する信号、X1、X2、X3、... は駆動回路から出力されるソースライン用信号を表し、32は画像データの遅延量を初期化するための期間(図中のL)、33、34、35は画像データ信号の遅延量を得るための期間(図中のH)である。ここで、DLY、RSTは図とは逆極性にしても動作は同様である。図では入力から出力までの遅延時間は省略している。図中のX1、X2、X3、... の斜線部はD1、D2、...、RST、DLYに依存しない動作を意味する。

【0039】図8における入力信号であるRSTは、32期間中、今までの累積遅延量を初期化する。図8における入力信号であるDLYは、33、34、35毎に、出力であるX1、X2、X3、... を33、33と34の和、33と34と35の和、に相当する時間分の累積遅延する。

【0040】図9は図8の機能を実現するためのソースライン用駆動回路の一部である回路構成例であり、従来の動作を有するデジタル回路構成部に図9を挿入して図8の機能を得ることが可能となる。図において、RSTは駆動回路に入力され画像データ信号の遅延量を初期化(リセット)することを制御する信号、DLYは駆動回路に入力され画像データ信号の遅延量を制御する信号、X1、X12、X13、... はソースライン用入力信号、XO1、XO2、XO3、... はソースライン用出力信号、36は画像データ信号を1水平周期分、1水平周期の倍数分、またはある一定期間分の遅延・記憶をする機能、37は画像データ信号の累積遅延量を得るための選択機能、38は画像データ信号の累積遅延値を

計数するカウンタ、39は画像データ信号と非画像データ信号との選択機能、40は所定の値を有する非画像データ信号、41は画像データ信号の累積遅延機能ブロックである。

【0041】この回路動作として、X11、X12、X13、... を入力とした遅延・記憶機能36により1水平周期分、1水平周期の倍数分、またはある一定期間分だけ累積遅延した複数の画像データ信号を得る。カウンタ38によりRSTで初期化し、DLYのH期間をカウントした値を得る。カウンタ38からのカウントした値を選択信号として、前記の遅延した複数の画像データ信号を入力とし、選択機能37によりDLYのH期間分累積遅延した画像データ信号を得る。生成された画像データ信号と非画像データ信号40を入力とした選択機能39によりDLYのH期間では所定の値を有する非画像データ書き込みが、また、それ以外は画像データ信号書き込みが行われるような画像データ信号を得ることができる。また、図9でのX11、X12、X13、... を画像データ入力信号D11、D12、D13、... とし、XO1、XO2、XO3、... を画像データ出力信号DO1、DO2、DO3、... とした場合でも、従来の動作を有するデジタル回路構成部に図9を挿入して図8の機能を得ることが可能となる。

【0042】図10は本実施の形態4に係る表示装置中のソースライン用駆動回路に入力、出力される電圧波形図(タイミングチャート)であり、図において、横軸は経過時間を表し、D1、D2、... は駆動回路に入力される画像データ信号、RSTは駆動回路に入力され画像データ信号の遅延量を初期化(リセット)することを制御する信号、DLYは駆動回路に入力され画像データ信号の遅延量を制御する信号、X1、X2、X3、... は駆動回路から出力されるソースライン用信号、18、19、20は各ブロックにおける最初のゲートラインから最後のゲートラインまでに対応する画像データ書き込み期間、21、22、23、24は各ブロック毎に画像データにおける累積遅延量を制御すると共に所定の値を得るための期間、25、26、27は各ブロック毎に所定の値に初期化してから最初のゲートラインに画像データ信号を書き込み開始するまでの期間、36は画像データにおける累積遅延量を初期化する期間である。ここで、RST、DLYは図とは逆極性にしても動作は同様である。また、図では入力から出力までの遅延時間は省略する。ここで、ブロック間隔は図1に対応する。

【0043】図10において、まず、ブロック①に関し、DLYの21によりブロック①に所定の値(非画像データ信号)を得ると同時にゲートライン用信号により書き込み、初期化し、25中で初期化を完了し、26中に最初のゲートラインから順次に画像データ信号を得ると同時にゲートライン用信号により書き込む。次に、ブ

ロック②に関して、26が開始する位置の直前にあるDLYの22によりブロック②に所定の値を得ると同時にゲートライン用信号により書き込み、初期化し、26中で初期化を完了し、27中に最初のゲートラインから順次に画像データ信号を得ると同時にゲートライン用信号により書き込む。以下のブロックは前記と同様である。

【0044】このことにより、図10では、画像データ信号以前に所定の非画像データ信号を表示材料に加えることにより、表示材料の初期状態を一定にし、前フレーム期間分、または前フィールド期間分の表示状態依存性をなくすことが可能となり、画像の変化が激しい動画において残像を低減することが可能となる。

【0045】本実施の形態4によれば、複数の出力端子から1フレーム、または1フィールド期間中に表示画面中のスイッチング素子に必要な画像データ電圧を出力する時に1水平周期分、1水平周期の倍数分、またはある一定期間分だけ累積遅延させる記憶機能・遅延機能を有するソースライン用駆動回路を使用することにより、残像が低減し、高品質な表示装置が得られる。

【0046】

【発明の効果】この発明によれば、表示材料の初期状態を一定にし、前フレーム期間分、または前フィールド期間分の表示状態依存性をなくすことが可能となり、残像の低減という効果が得られる。

【0047】また、この発明によれば、複数の出力端子から1フレーム、または1フィールド期間中に表示画面中のスイッチング素子をON状態にする電圧を出力する時にブロック単位での選択機能を有するゲートライン用駆動回路を使用することにより、残像が低減し、高品質な表示装置が得られる。

【0048】また、複数の出力端子から1フレーム、または1フィールド期間中に表示画面中のスイッチング素子に必要な画像データ電圧を出力する時に1水平周期分、1水平周期の倍数分、またはある一定期間分だけ累積遅延させる記憶機能・遅延機能を有するソースライン用駆動回路を使用することにより、残像が低減し、高品質な表示装置が得られる。

【図面の簡単な説明】

【図1】 この発明の実施の形態1に係る表示装置中の表示画面に入力されるソースライン、ゲートラインの電圧波形図である。

【図2】 この発明の実施の形態2に係る表示装置中のゲートライン用駆動回路に入力、出力される電圧波形図である。

【図3】 この発明の実施の形態2に係る表示装置中のゲートライン用駆動回路の一部である回路構成例である。

【図4】 この発明の実施の形態2に係る表示装置中の表示画面に入力されるゲートラインの電圧波形図である。

【図5】 この発明の実施の形態3に係る表示装置中のゲートライン用駆動回路に入力、出力される電圧波形図である。

【図6】 この発明の実施の形態3に係る表示装置中のゲートライン用駆動回路の一部である回路構成例である。

【図7】 この発明の実施の形態3に係る表示装置中の表示画面に入力されるゲートラインの電圧波形図である。

【図8】 この発明の実施の形態4に係る表示装置中のソースライン用駆動回路に入力、出力される電圧波形図である。

【図9】 この発明の実施の形態4に係る表示装置中のソースライン用駆動回路の一部である回路構成例である。

【図10】 この発明の実施の形態4に係る表示装置中のソースライン用駆動回路に入力、出力される電圧波形図である。

【図11】 従来の表示装置の全体図である。

【図12】 従来の表示装置中の制御回路における水平周期毎の入力部の関係を表した電圧波形図である。

【図13】 従来の表示装置中の制御回路における垂直周期毎の入力部の関係を表した電圧波形図である。

【図14】 従来の表示装置中の表示画面の構成図である。

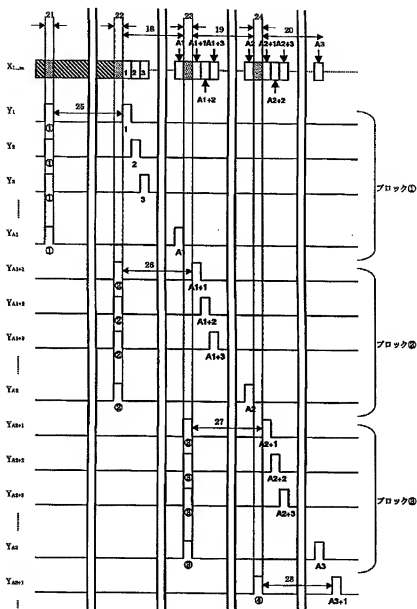
【図15】 従来の表示装置中の表示画面に入力されるソースライン、ゲートラインの電圧波形図である。

【符号の説明】

1 表示画面、 2 ゲートライン  
3 ソースライン用駆動回路、 4 制御回路、 5 電源部、 6 水平同期入力信号電圧、 7 データライン入力信号電圧、 8 クロック入力信号電圧、 9 画像データ入力信号電圧、 10 画像データ入力信号における有効データ期間、 11 垂直同期入力信号電圧、 12 ソースライン、 13 ゲートライン、 14 表示材料、 15 スwitching素子、 16 キャパシタ素子、 18、19、20 画像データ書き込み期間、 21、22、23、24 非画像データ書き込み期間、 25、26、27、28 非画像データ書き込み期間の完了時から画像データ書き込み期間の開始時までを表す時間、 29、30、31 各ブロック毎にON状態を得るための期間、 32 画像データ信号の遅延量を初期化するための期間、 33、34、35 画像データ信号の遅延量を得るための期間、 36 画像データ信号を1水平周期分、1水平周期の倍数分、またはある一定期間分遅延・記憶する機能、 37 画像データ信号の累積遅延量を得るための選択機能、 38 画像データ信号の累積遅延値を計数するカウンタ、 39 画像データ信号と非画像データ信号との選択機能、 40 非画像デ

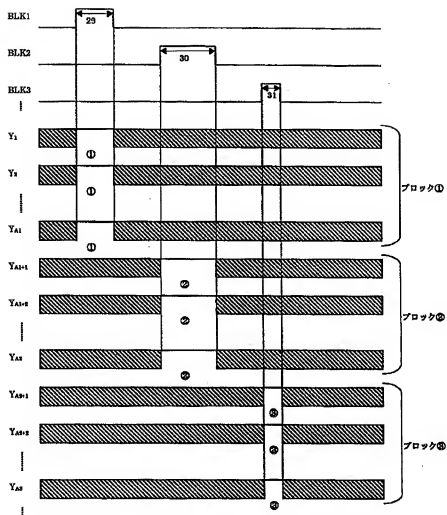
ータ信号、41 画像データ信号の累積遅延機能ブロック \* ク。

【図1】



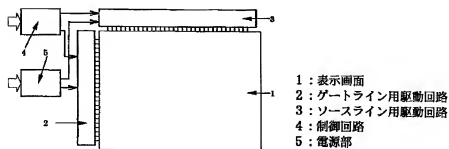
- 18、19、20：画像データ書き込み期間  
 21、22、23、24：非画像データ書き込み期間  
 25、26、27、28：非画像データ書き込み期間の完了時から  
 画像データ書き込み期間の開始時までを表す時間

【図2】

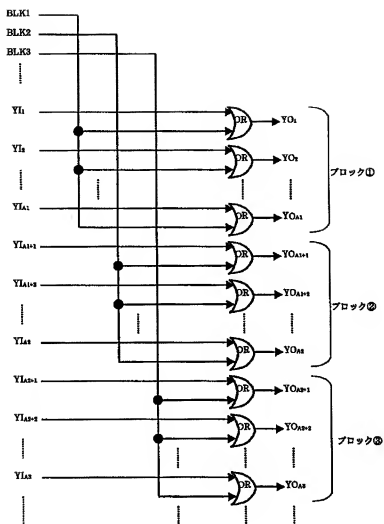


29、30、31：各ブロック毎にON状態を得るまでの期間

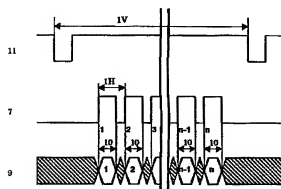
【図11】



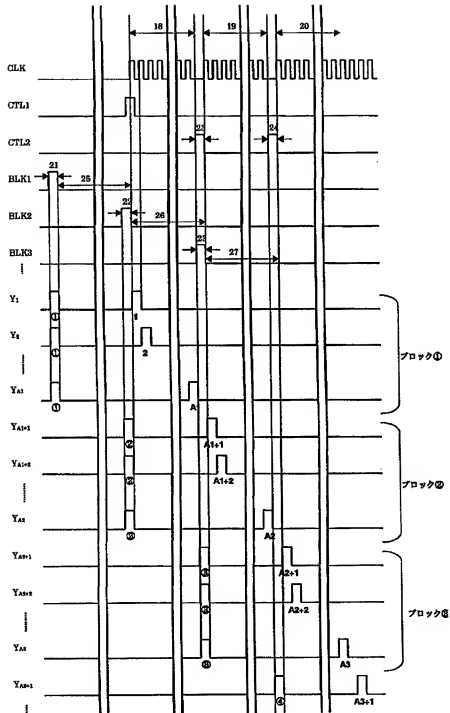
【図3】



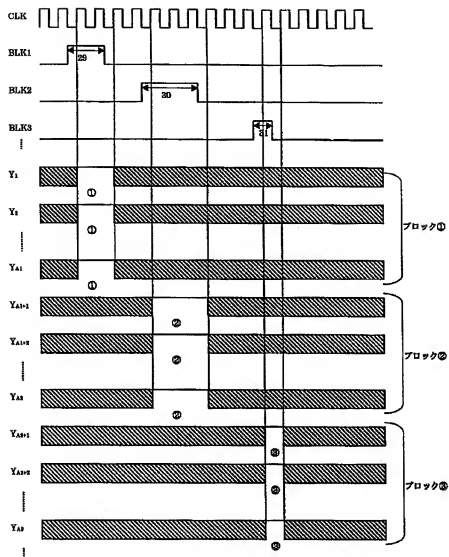
【図13】



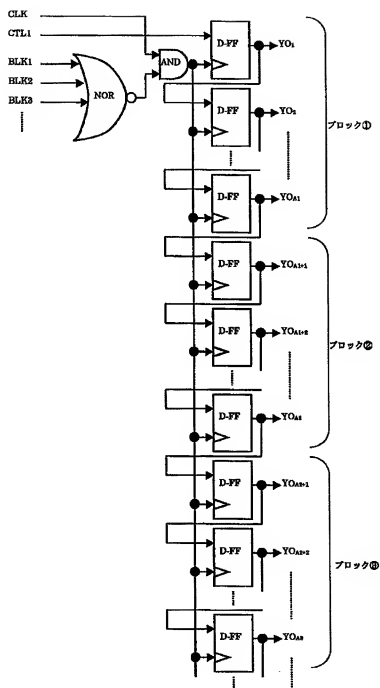
【図4】



【図5】



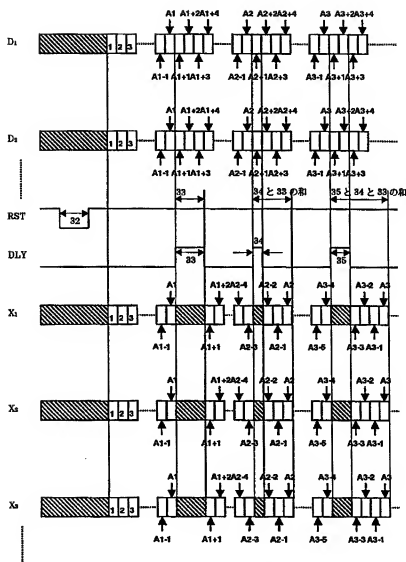
【図6】







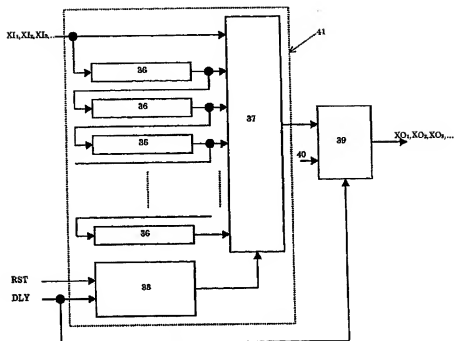
【図8】



32 : 画像データ信号の遅延量を初期化するための期間

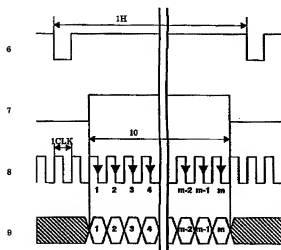
33、34、35 : 画像データ信号の遅延量を得るための期間

【図9】

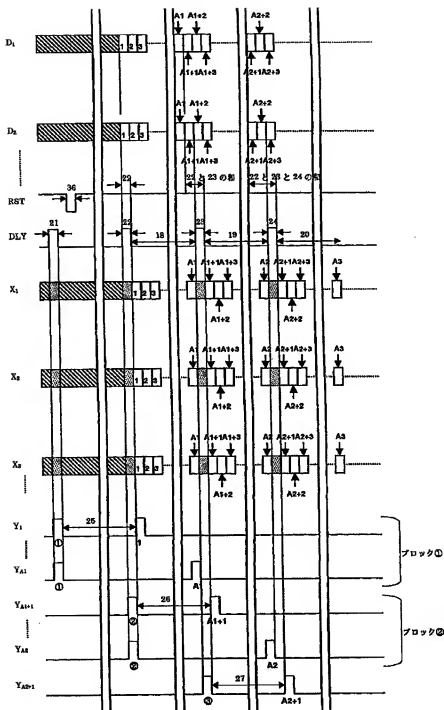


- 36 : 画像データ信号を1水平周期分、1水平周期の倍数分、または、ある一定期間分、遅延・記憶する機能  
 37 : 画像データ信号の累積遅延量を得るための選択機能  
 38 : 画像データ信号の累積遅延値を計数するカウンタ  
 39 : 画像データ信号と非画像データ信号との選択機能  
 40 : 非画像データ信号  
 41 : 画像データ信号の累積遅延機能ブロック

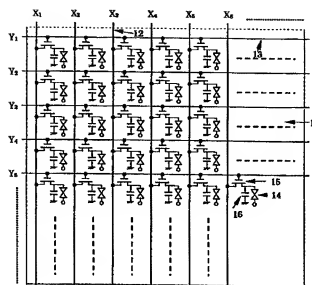
【図12】



【図10】

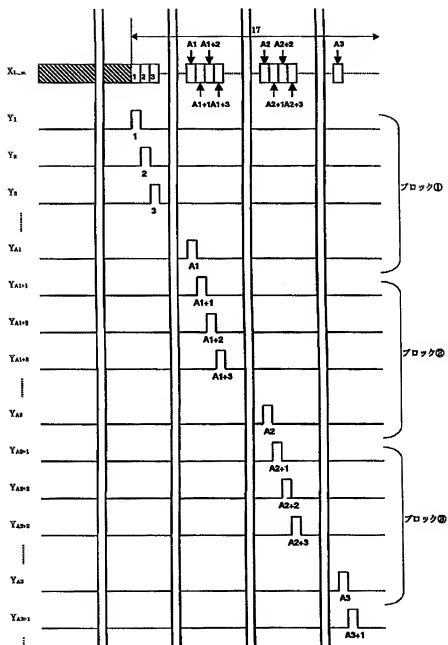


【図14】



- 12 : ソースライン
- 13 : ゲートライン
- 14 : 表示材料
- 15 : スイッチング素子
- 16 : キャパシタ素子

【図15】



フロントページの続き

(51)Int.Cl.<sup>7</sup>  
H04N 5/66識別記号  
102FI  
H04N 5/66テーマコード(参考)  
102B

F ターム(参考) 2H093 NA16 NA31 NA43 NA80 NC13  
NC22 NC34 NC90 ND12 ND58  
NE10  
5C006 AC21 AF42 AF59 BB16 BC11  
BF07  
5C058 AA06 BA35 BB12 BB21  
5C080 AA10 BB05 DD01 DD08 EE19  
FF11 JJ02 JJ03 JJ04